

**This Page Is Inserted by IFW Operations  
and is not a part of the Official Record**

## **BEST AVAILABLE IMAGES**

**Defective images within this document are accurate representations of the original documents submitted by the applicant.**

**Defects in the images may include (but are not limited to):**

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

**PREAMBLE GENERATING METHOD FOR OFDM AND MODULATION CIRCUIT FOR OFDM**

Patent number: JP2000068973

Publication date: 2000-03-03

Inventor: KIZAWA TAKESHI; MIZOGUCHI MASATO; SAKATA TORU; TAKANASHI HITOSHI; MORIKURA MASAHIRO

Applicant: NIPPON TELEGR & TELEPH CORP <NTT>

Classification:

- international: H04J11/00; H04L7/00; H04L27/00

- european:

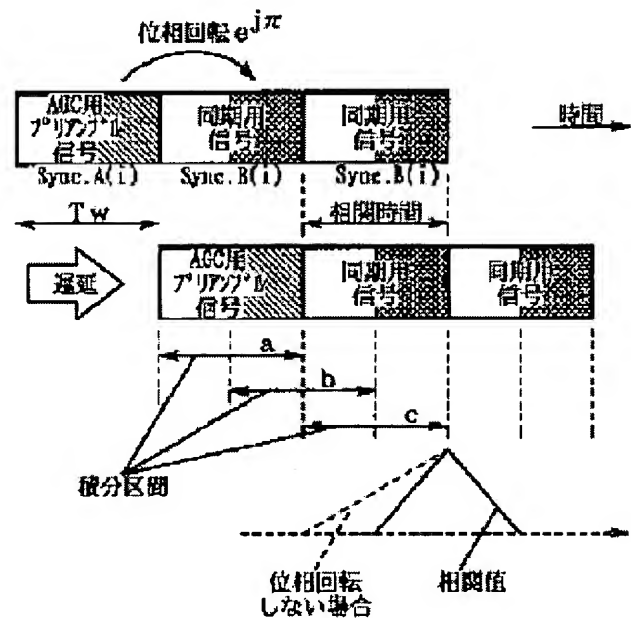
Application number: JP19980232759 19980819

Priority number(s):

**Abstract of JP2000068973**

**PROBLEM TO BE SOLVED:** To provide an orthogonal frequency division multiplex(OFDM) preamble generating method and an OFDM modulation circuit that prevent deterioration in an error rate and detect a symbol timing at a high speed even when preamble signal for AGC is in use.

**SOLUTION:** In the OFDM preamble generating method that generates a burst signal including at least one automatic gain control preamble signal being an OFDM signal used for orthogonal frequency multiplex communication and two synchronizing signals in succession to the preamble signal, the preamble signal and the synchronizing signals are generated based on the same predetermined fixed pattern and a prescribed phase change is given to each latter half of either the preamble signal or the synchronizing signal so as to generate a phase difference of about 180 degrees between the phase of the preamble signal for the latter half area and the phase of a plurality of the synchronizing signals for each latter half area.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-68973

(P2000-68973A)

(43) 公開日 平成12年3月3日 (2000.3.3)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード* (参考)
H 0 4 J 11/00		H 0 4 J 11/00	Z 5 K 0 0 4
H 0 4 L 7/00		H 0 4 L 7/00	F 5 K 0 2 2
27/00		27/00	Z 5 K 0 4 7

審査請求 有 請求項の数 4 O L (全 18 頁)

(21) 出願番号 特願平10-232759

(22) 出願日 平成10年8月19日 (1998.8.19)

(71) 出願人 000004226

日本電信電話株式会社

東京都千代田区大手町二丁目3番1号

(72) 発明者 鬼沢 武

東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内

(72) 発明者 溝口 匡人

東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内

(74) 代理人 100072718

弁理士 古谷 史旺

最終頁に続く

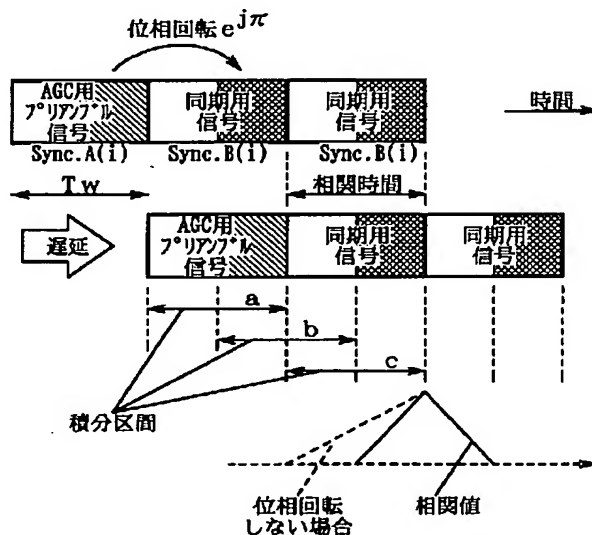
(54) 【発明の名称】 OFDM用プリアンブル生成方法及びOFDM用変調回路

(57) 【要約】

【課題】 本発明ではAGC用プリアンブル信号を用いた場合にも誤り率の劣化を防止すると共に高速でシンボルタイミングの検出が可能なOFDM用プリアンブル生成方法及びOFDM用変調回路を提供することを目的とする。

【解決手段】 直交周波数多重通信に用いられるOFDM信号であって少なくとも1つの自動利得制御用のプリアンブル信号とそれに続く2つの同期用信号とを含むバースト信号を生成するOFDM用プリアンブル生成方法において、予め定めた同一の固定パターンに基づいて前記プリアンブル信号及び前記同期用信号を生成し、前記プリアンブル信号及び前記同期用信号のいずれか一方に対して、各々の後半半分の領域に所定の位相変化を与え、前記プリアンブル信号の後半半分の領域の位相と前記複数の同期用信号の各々の後半半分の領域の位相との間にほぼ180度の位相差を形成することを特徴とする。

第1の実施の形態で生成したOFDM信号の相関値



## 【特許請求の範囲】

【請求項1】 直交周波数多重通信に用いられるOFDM信号であって、少なくとも1つの自動利得制御用のプリアンブル信号とそれに続く2つの同期用信号とを含むバースト信号を生成するOFDM用プリアンブル生成方法において、

予め定めた同一の固定パターンに基づいて前記プリアンブル信号及び前記同期用信号を生成し、

前記プリアンブル信号及び前記同期用信号のいずれか一方に対して、各々の後半半分の領域に所定の位相変化を与え、

前記プリアンブル信号の後半半分の領域の位相と前記複数の同期用信号の各々の後半半分の領域の位相との間にはほぼ180度の位相差を形成することを特徴とするOFDM用プリアンブル生成方法。

【請求項2】 入力データに対して直列並列変換処理を行う直列並列変換手段と、前記直列並列変換手段の出力信号に対して変調を行う変調手段と、前記変調手段の出力信号に対して逆離散フーリエ変換を行うIDFT手段と、前記IDFT手段の出力信号に対して並列直列変換を行い時間領域信号を出力する並列直列変換手段と、前記並列直列変換手段が出力する時間領域信号に対して信号の繰り返しが生じるガードインターバル区間を付加するガードインターバル付加手段と、予め定められた時間波形のプリアンブル信号を生成するプリアンブル信号生成手段と、前記プリアンブル信号生成手段が出力するプリアンブル信号に続くように前記並列直列変換手段の出力信号を出力する出力切替手段とを備えるOFDM用変調回路において、

予め定められた周波数領域の固定パターンに基づいて逆離散フーリエ変換によりOFDM信号を生成すると共に、1つのOFDM信号の長さに相当する離散フーリエ変換の1周期の時間の3倍の長さの時間に渡って前記OFDM信号を繰り返し出力する繰り返し出力手段と、前記繰り返し出力手段から順次に出力される3つのOFDM信号の各々の後半半分の領域について、先頭のOFDM信号と2番目及び3番目のOFDM信号との間にはほぼ180度の位相差を与える位相演算手段とを前記プリアンブル信号生成手段に設けたことを特徴とするOFDM用変調回路。

【請求項3】 入力データに対して直列並列変換処理を行う直列並列変換手段と、前記直列並列変換手段の出力信号に対してスタートシンボルに基づき差動符号化を行う変調手段と、前記変調手段の出力信号に対して逆離散フーリエ変換を行うIDFT手段と、前記IDFT手段の出力信号に対して並列直列変換を行い時間領域信号を出力する並列直列変換手段と、前記並列直列変換手段が出力する時間領域信号に対して信号の繰り返しが生じるガードインターバル区間を付加するガードインターバル付加手段と、予め定められた時間波形のプリアンブル信

号を生成するプリアンブル信号生成手段と、前記プリアンブル信号生成手段が出力するプリアンブル信号に続くように前記並列直列変換手段の出力信号を出力する出力切替手段とを備えるOFDM用変調回路において、前記プリアンブル信号生成手段に、

予め定められた周波数領域の固定パターンに基づいて逆離散フーリエ変換によりOFDM信号を生成すると共に、

1つのOFDM信号の長さに相当する離散フーリエ変換の1周期の時間の2倍の長さの時間に渡って前記OFDM信号を繰り返し出力する繰り返し出力手段と、

前記繰り返し出力手段から2番目に出力される1つのOFDM信号の後半半分の領域についてほぼ180度の位相変化を与える位相演算手段と、

前記位相演算手段により位相変化を受けた領域を含む1つのOFDM信号についてのみ直列並列変換を行う第1直列並列変換手段と、

前記第1直列並列変換手段の出力信号を離散フーリエ変換する第1離散フーリエ変換手段と、

前記第1離散フーリエ変換手段が出力する信号の使用されないサブキャリアの成分についてヌル点を挿入するヌル点挿入手段と、

前記ヌル点挿入手段が出力する信号を、前記変調手段に応じて定める位相空間の複数の領域をそれぞれ代表する複数の信号点のいずれかの点に近似して配置する信号点マッピング手段と、

前記信号点マッピング手段の出力信号を前記スタートシンボルとして記憶する記憶手段と、

前記信号点マッピング手段の出力信号を逆離散フーリエ変換する第1逆離散フーリエ変換手段と、

前記第1逆離散フーリエ変換手段の出力信号を並列直列変換する第1並列直列変換手段と、

前記第1並列直列変換手段から出力される信号を、1つのOFDM信号の長さに相当する離散フーリエ変換の1周期の時間の2倍の長さの時間に渡って出力する出力信号制御手段と、

前記繰り返し出力手段の出力に1番目に出力される1つのOFDM信号に引き続いて、前記出力信号制御手段の出力信号をプリアンブル信号として出力するプリアンブル生成回路とを設けたことを特徴とするOFDM用変調回路。

【請求項4】 入力データに対して直列並列変換処理を行う直列並列変換手段と、前記直列並列変換手段の出力信号に対してスタートシンボルに基づき差動符号化を行う変調手段と、前記変調手段の出力信号に対して逆離散フーリエ変換を行うIDFT手段と、前記IDFT手段の出力信号に対して並列直列変換を行い時間領域信号を出力する並列直列変換手段と、前記並列直列変換手段が出力する時間領域信号に対して信号の繰り返しが生じるガードインターバル区間を付加するガードインターバル付加手段と、予め定められた時間波形のプリアンブル信

号を生成するプリアンプル信号生成手段と、前記プリアンプル信号生成手段が出力するプリアンプル信号に続くように前記並列直列変換手段の出力信号を出力する出力切替手段とを備えるOFDM用変調回路において、前記プリアンプル信号生成手段に、予め定められた前記スタートシンボルを逆離散フーリエ変換して得られる、離散フーリエ変換の1周期の時間に相当する1つのOFDM信号を記憶する波形記憶手段と、前記スタートシンボルに対応する離散フーリエ変換の1周期の長さの1つのOFDM信号に対してほぼ180度の位相変化を与える位相演算手段と、前記位相演算手段の出力信号に対して直列並列変換を行う第1直列並列変換手段と、前記第1直列並列変換手段の出力信号を離散フーリエ変換変換する第1離散フーリエ変換変換手段と、前記第1離散フーリエ変換変換手段が出力する信号の使用されないサブキャリアの成分についてヌル点を挿入するヌル点挿入手段と、前記ヌル点挿入手段が出力する信号を、前記変調手段に応じて定まる位相空間の複数の領域をそれぞれ代表する複数の信号点のいずれかの点に近似して配置する信号点マッピング手段と、前記信号点マッピング手段の出力信号を逆離散フーリエ変換する第1逆離散フーリエ変換手段と、前記第1逆離散フーリエ変換手段の出力信号を並列直列変換する第1並列直列変換手段と、前記波形記憶手段から出力される信号を、離散フーリエ変換の2周期の時間に渡って2回繰り返して出力する出力信号制御手段と、前記第1並列直列変換手段の出力信号に、引き続いて前記出力信号制御手段の出力信号をプリアンプル信号として出力するプリアンプル生成回路とを設けたことを特徴とするOFDM用変調回路。

#### 【発明の詳細な説明】

#### 【0001】

【発明の属する技術分野】本発明は、直交周波数多重（OFDM: Orthogonal Frequency Division Multiplexing）信号を用いてデジタル無線通信を行う通信システムの送信側に適用されるOFDM用プリアンプル生成方法及びOFDM用変調回路に関する。

#### 【0002】

【従来の技術】OFDM信号を用いる通信においては、直交関係にある複数の搬送波（サブキャリア）を用いて情報を伝送する。実際には、各サブキャリアごとに入力情報信号により、例えばQPSK（Quadrature Phase Shift Keying）等の変調を行う。さらに、その変調出力に対して逆離散フーリエ変換（IDFT: Inverse Discrete Fourier Transform）を実施してOFDM信号を生成する。

【0003】また、OFDM信号を用いる通信においては、遅延波の影響を除去するため、通常、OFDMシンボル毎に設けられるガードインターバルと呼ばれる区間でデータを繰り返して送信する。OFDM信号を復調する受信側においては、DFT（離散フーリエ変換）ウィンドウタイミングの検出等の同期が必要である。この同期の検出には、一般的に、ガードインターバルの繰り返し信号区間における相関値のピーク検出を利用する手法が用いられる。

【0004】一方、パケット伝送はデータを短いパケット信号に分割して送信する方法である。パケット伝送では、多くの端末がランダムにデータを生成する場合に、回線交換型と比較して高効率の情報伝送が可能である。しかし、パケット信号ごとに同期を確立する必要がある。通常、同期の確立にはパケット信号先頭に配置されるプリアンプル信号が用いられる。パケット伝送においては、伝送効率の点からなるべく短いプリアンプル信号を用いるのが望ましい。

【0005】また、この同期確立に要する遅延があまりに大きいとスループットが低下してしまうため、物理層では出来るだけ速い信号処理を行うことが求められ、同期確立には高速のシンボルタイミング検出が求められる。文献（鬼沢、他、“高速無線LAN用OFDM変調方式の同期系に関する検討”，電子情報通信学会，信学技報，RCS97-210）に示された従来のOFDM変調回路の構成を図11に示す。

【0006】図11に示される回路はサブキャリア数 $n$ が48のOFDM信号を生成するためのOFDM変調回路を示している。また、この例では各サブキャリアの変調方式としてDQPSK（Differential Quadrature Phase Shift Keying）を適用している。

【0007】以下、図11のOFDM変調回路について説明する。入力信号a1は、直列並列変換回路1に入力されて各サブキャリア毎に分けられる。直列並列変換回路1が出力する48組の信号は、各サブキャリア毎にDQPSK変調回路2に入力される。DQPSK変調回路2で変調された48組の信号は、IDFT回路3に入力されて逆離散フーリエ変換される。すなわち、周波数領域から時間領域の信号に変換される。IDFT回路3から出力される64組の信号は、並列直列変換回路4に入力される。

【0008】これら64組の信号は、順番に直列の信号として並列直列変換回路4から出力される。並列直列変換回路4から出力される信号の並び順は、読み出し順序記憶回路5に予め記憶された順番により決定される。また、同期用信号を送信する際には、IDFT回路3が出力する64サブキャリアの信号出力を2回読み出して並列直列変換回路4から同期用信号として出力する。並列直列変換回路4から出力されるOFDM信号は、D/A変換回路6によってアナログに変換され、変調ベースバ

ンド信号として出力される。

【0009】OFDM信号に含まれる前記同期用信号は、スタートシンボル信号を兼ねることができる。また、通常のデータ信号を送信するときには、並列直列変換回路4の読み出し順序の操作によりガードインターバル(GI)が付加される。従来のOFDM用変調回路により送信される信号の同期用の信号フォーマットの構成例を図12に示す。図12の信号フォーマットにおいては、同期用信号の前にAGC用プリアンプ信号が配置されている。但し、AGC用プリアンプ信号と同期用信号との関係については特に考慮されていない。

【0010】前記文献に示されたOFDM復調回路の構成を図10に示す。このOFDM復調回路においては、信号の復調に遅延検波を用いている。以下、図10のOFDM復調回路について説明する。

【0011】このOFDM復調回路に入力される受信信号(OFDM信号)a301はTw遅延回路301に入

$$C(d) = \left| \sum_{m=0}^{N-1} (r_{d+m}^* \cdot r_{d+m+N}) \right|^2 \quad \dots (1)$$

但し、 $r_d$ は受信信号(dはサンプリングポイントを示す整数)、NはDFTポイント数である。\*は共役複素を示す。また、自乗演算回路306は受信信号a301の電力を示す信号を出力する。移動平均フィルタ307は、自乗演算回路306が出力する信号についてTw時間の移動平均を演算する。その演算結果は、自乗回路308を介してピーク検出回路309に入力される。

【0013】ピーク検出回路309は、自乗演算回路305が出力する信号と自乗回路308が出力する信号とに基づいて、信号のピーク検出を実施する。検出された信号のピーク位置のタイミングで、ピーク検出回路309からシンボルタイミング信号a310が出力される。また、移動平均フィルタ304が出力する信号に基づいて、キャリア周波数誤差検出が実施される。逆正接回路311は、入力される信号の逆正接(アークタンジェント)を計算し、それを周波数誤差信号として出力する。

【0014】分周回路312は、逆正接回路311の出力する信号を(1/N)に分周する。但し、NはDFTポイント数である。共役複素信号生成回路313は、分周回路312が出力する信号の共役複素信号を生成する。この共役複素信号は、サンプルホールド回路314に入力される。サンプルホールド回路314は同期が確立した時点で入力された共役複素信号をサンプルホールドする。

【0015】一方、上記回路でシンボルタイミングの検出及び周波数誤差の検出を行う間に、受信信号a301はTw遅延回路315で時間Twだけ遅延され、更に信号のピーク検出に要する時間だけ遅延回路316で遅延される。遅延回路316が出力する信号を処理することにより、ピーク検出に要したサンプル分のスタートシン

力される。Tw遅延回路301では、入力される信号を所定の時間Twだけ遅延する。時間Twは、OFDM信号の変調及び復調に用いる逆フーリエ変換(IDFT)、及びフーリエ変換(DFT)のウィンドウの時間幅である。

【0012】Tw遅延回路301の出力する信号は、共役複素信号生成回路302に入力される。乗算回路303は、共役複素信号生成回路302が出力する共役複素信号a303と受信信号a301とを複素乗算した結果を出力する。移動平均フィルタ304は、乗算回路303の出力する信号について、Tw時間の移動平均を演算する。その結果が、自乗演算回路305に入力される。自乗演算回路305の出力する信号a306は、受信信号a301と遅延信号a302との相関値Cに相当する。この相関値Cは、次の第(1)式で表される。

【数1】

ボル先頭部のキャリア周波数誤差補正が可能になる。

【0016】乗算回路317は、サンプルホールド回路314の出力信号と遅延回路316の出力信号とを乗算する。DFTウィンドウタイミング制御回路310は、シンボルタイミング信号a310に基づいてウィンドウタイミング制御を行い、制御信号a318を直列並列変換回路318に入力する。直列並列変換回路318は、乗算回路317から入力される直列信号を並列信号に変換する。また、ここで信号の読み込みタイミングを制御してガードインターバル(GI)の繰り返し成分を取り去る。

【0017】直列並列変換回路318から出力される並列信号は、DFT回路319に入力されて、OFDM信号から、各サブキャリアごとのDQPSK変調信号に変換される。DFT回路319から出力される各サブキャリアごとのDQPSK変調信号は、遅延検波回路320で復調され、並列直列変換回路321に入力される。並列直列変換回路321は、入力される並列信号を直列の信号に変換する。

【0018】以上説明したように、OFDM復調回路では繰り返して送信される同期用信号の相関値ピークを用いてシンボルタイミングの検出を行っている。

【0019】

【発明が解決しようとする課題】無線通信システムにおいては、受信レベルの異なるユーザからのパケットを受信するためにAGC(自動利得制御)アンプの使用が必須である。このAGCアンプの引き込みのために、各パケットの先頭部には図12に示すようにAGC用のプリアンプ信号が付加される。

【0020】従来技術では、受信信号のシンボルタイミ

ングはAGC用プリアンブル信号に続いて2回繰り返して送信される同期用信号の相関値C(前記第(1)式)のピーク値に基づいて検出される。しかし、図12に示すようなフォーマットの受信信号の場合には、AGCプリアンブル信号と同期用信号との相関値Cが0にはならない。そのため、OFDM復調回路において検出される2つの同期用信号間の相関値波形が歪み、シンボルタイミング検出位置に揺らぎが発生するため、ビット誤り率(BER)特性が劣化するという問題があった。

【0021】また、同期用信号のみによるピーク値による検出では相関値波形の立ち上がりが十分に急峻ではないためBERが劣化するという問題もあった。さらに、このように相関値波形が歪むためピーク値を探索するための保留時間が必要であり、シンボルタイミング検出に時間がかかるという問題もある。本発明ではこれらの問題を解決し、AGC用プリアンブル信号を用いた場合にも誤り率の劣化を防止すると共に、高速でシンボルタイミングの検出が可能なOFDM用プリアンブル生成方法及びOFDM用変調回路を提供することを目的とする。

【0022】

【課題を解決するための手段】請求項1は、直交周波数多重通信に用いられるOFDM信号であって、少なくとも1つの自動利得制御用のプリアンブル信号とそれに続く2つの同期用信号とを含むバースト信号を生成するOFDM用プリアンブル生成方法において、予め定めた同一の固定パターンに基づいて前記プリアンブル信号及び前記同期用信号を生成し、前記プリアンブル信号及び前

記同期用信号のいずれか一方に対して、各々の後半半分の領域に所定の位相変化を与え、前記プリアンブル信号の後半半分の領域の位相と前記複数の同期用信号の各々の後半半分の領域の位相との間にほぼ180度の位相差を形成することを特徴とする。

【0023】従来の構成では、AGC用プリアンブル信号を用いる場合にAGC用プリアンブル信号と同期用信号との間に生じる相関によって、相関検出のピーク波形が歪み誤り率が劣化すること及びシンボルタイミング検出に時間がかかることが問題であった。そこで、請求項1の発明ではプリアンブル信号の生成の改良によりこの問題を解決している。すなわち、プリアンブル信号及び同期用信号の一方に対して、各々の後半半分の領域に所定の位相変化を与え、前記プリアンブル信号の後半半分の領域の位相と前記複数の同期用信号の各々の後半半分の領域の位相との間にほぼ180度の位相差を形成する。

【0024】例えば、送信側で同期用信号Sync.B(i)を生成する際に、次の第(2)式に基づいて、AGC用プリアンブル信号Sync.A(i)の後半半分の位相を180度( $\pi$ [rad])回転し同期用信号Sync.B(i)を生成するか、又は次の第(3)式に基づいて同期用信号Sync.B(i)の後半半分の位相を180度回転し、AGC用プリアンブル信号Sync.A(i)を生成すれば、AGC用プリアンブル信号Sync.A(i)と同期用信号Sync.B(i)との間に180度の位相差を形成することができる。

【数2】

$$\text{Sync.B}(i) = \begin{cases} \text{Sync.A}(i) & (i=0\sim31) \\ e^{j\pi\text{Sync.A}(i)} & (i=32\sim63) \end{cases} \quad \dots (2)$$

$$\text{Sync.A}(i) = \begin{cases} \text{Sync.B}(i) & (i=0\sim31) \\ e^{j\pi\text{Sync.B}(i)} & (i=32\sim63) \end{cases} \quad \dots (3)$$

但し、iはOFDM変調回路に用いる逆離散フーリエ変換(IDFT)の出力ポイント番号であり、ここでは64ポイントIDFTを想定している。実際には、予め定めた同一の固定パターンに基づいて前記プリアンブル信号及び前記同期用信号を共に生成することができるので、AGC用プリアンブル信号Sync.A(i)及び同期用信号Sync.B(i)を生成する際には、お互いに他方の信号を参照する必要はなく、単に少なくとも一方の信号の位相を変更すればよい。

【0025】前記第(2)式及び第(3)式に基づいてAGC用プリアンブル信号Sync.A(i)及び同期用信号Sync.B(i)を生成した場合に、受信側のOFDM復調回路で処理されるOFDM信号の相関値をそれぞれ図1及び図2に示す。すなわち、図1及び図2に示す信号は、例えば図12に示す受信信号a301及び時間Twだけ遅延した信号a302に相当する。また、図1及び図2に示す

相関値は、図12における信号a306に相当する。但し、Twは1DFTシンボル時間である。

【0026】任意のAGC用プリアンブル信号と任意の同期用信号を用いる従来技術の場合には、AGC用プリアンブル信号と同期用信号との相関値Cの影響により、この相関値ピークの立ち上がりが緩やかになり、シンボルタイミング検出誤差が生じ、BERが劣化しシンボルタイミング検出時間を要する。請求項1では、AGC用プリアンブル信号と同期用信号との後半半分の領域に互いに180度の位相差が現れるので、時間差Twで現れるAGC用プリアンブル信号と同期用信号との相関値は非常に小さくなる。

【0027】すなわち、図1及び図2に示す各積分区間の相関値a、bについては、この操作により相関値Cを理想的には(a=b=0)に抑圧でき、相関値Cにおいては(C=1)にすることができる。従って、図1及び



図2に示すように、シンボル検出に用いる相関値のピーク波形の立ち上がりが鋭くなり、高速なシンボル検出が可能になる。また、a, bの相関値を抑えるため相関値波形に及ぼす影響も緩和され、BER劣化が少なくなる。

【0028】請求項2は、入力データに対して直列並列変換処理を行う直列並列変換手段と、前記直列並列変換手段の出力信号に対して変調を行う変調手段と、前記変調手段の出力信号に対して逆離散フーリエ変換を行うIDFT手段と、前記IDFT手段の出力信号に対して並列直列変換を行い時間領域信号を出力する並列直列変換手段と、前記並列直列変換手段が出力する時間領域信号に対して信号の繰り返しが生じるガードインターバル区間を付加するガードインターバル付加手段と、予め定められた時間波形のプリアンブル信号を生成するプリアンブル信号生成手段と、前記プリアンブル信号生成手段が出力するプリアンブル信号に続くように前記並列直列変換手段の出力信号を出力する出力切替手段とを備えるOFDM用変調回路において、予め定められた周波数領域の固定パターンに基いて逆離散フーリエ変換によりOFDM信号を生成すると共に、1つのOFDM信号の長さに相当する離散フーリエ変換の1周期の時間の3倍の長さの時間に渡って前記OFDM信号を繰り返し出力する繰り返し出力手段と、前記繰り返し出力手段から順次に出力される3つのOFDM信号の各々の後半半分の領域について、先頭のOFDM信号と2番目及び3番目のOFDM信号との間にほぼ180度の位相差を与える位相演算手段とを前記プリアンブル信号生成手段に設けたことを特徴とする。

【0029】請求項2においては、前記プリアンブル信号生成手段に設けられた繰り返し出力手段が、予め定められた周波数領域の固定パターンに基いて逆離散フーリエ変換によりOFDM信号を生成すると共に、1つのOFDM信号の長さに相当する離散フーリエ変換の1周期の時間の少なくとも3倍の長さの時間に渡って前記OFDM信号を繰り返し出力する。

【0030】また、位相演算手段は、前記繰り返し出力手段から順次に出力される3つのOFDM信号の各々の後半半分の領域について、先頭のOFDM信号と2番目及び3番目のOFDM信号との間にほぼ180度の位相差を与える。従って、請求項2のOFDM用変調回路から出力されるOFDM信号を受信した場合には、請求項1の場合と同様に、AGC用プリアンブル信号と同期用信号との相関値が小さくなる。

【0031】請求項3は、入力データに対して直列並列変換処理を行う直列並列変換手段と、前記直列並列変換手段の出力信号に対してスタートシンボルに基づき差動符号化を行う変調手段と、前記変調手段の出力信号に対して逆離散フーリエ変換を行うIDFT手段と、前記IDFT手段の出力信号に対して並列直列変換を行い時間

領域信号を出力する並列直列変換手段と、前記並列直列変換手段が出力する時間領域信号に対して信号の繰り返しが生じるガードインターバル区間を付加するガードインターバル付加手段と、予め定められた時間波形のプリアンブル信号を生成するプリアンブル信号生成手段と、前記プリアンブル信号生成手段が出力するプリアンブル信号に続くように前記並列直列変換手段の出力信号を出力する出力切替手段とを備えるOFDM用変調回路において、前記プリアンブル信号生成手段に、予め定められた周波数領域の固定パターンに基いて逆離散フーリエ変換によりOFDM信号を生成すると共に、1つのOFDM信号の長さに相当する離散フーリエ変換の1周期の時間の2倍の長さの時間に渡って前記OFDM信号を繰り返し出力する繰り返し出力手段と、前記繰り返し出力手段から2番目に出力される1つのOFDM信号の後半半分の領域についてほぼ180度の位相変化を与える位相演算手段と、前記位相演算手段により位相変化を受けた領域を含む1つのOFDM信号についてのみ直列並列変換を行う第1直列並列変換手段と、前記第1直列並列変換手段の出力信号を離散フーリエ変換する第1離散フーリエ変換手段と、前記第1離散フーリエ変換手段が出力する信号の使用されないサブキャリアの成分についてヌル点を挿入するヌル点挿入手段と、前記ヌル点挿入手段が出力する信号を、前記変調手段に応じて定まる位相空間の複数の領域をそれぞれ代表する複数の信号点のいずれかの点に近似して配置する信号点マッピング手段と、前記信号点マッピング手段の出力信号を前記スタートシンボルとして記憶する記憶手段と、前記信号点マッピング手段の出力信号を逆離散フーリエ変換する第1逆離散フーリエ変換手段と、前記第1逆離散フーリエ変換手段の出力信号を並列直列変換する第1並列直列変換手段と、前記第1並列直列変換手段から出力される信号を、1つのOFDM信号の長さに相当する離散フーリエ変換の1周期の時間の2倍の長さの時間に渡って出力する出力信号制御手段と、前記繰り返し出力手段の出力に1番目に出力される1つのOFDM信号に引き続いて、前記出力信号制御手段の出力信号をプリアンブル信号として出力するプリアンブル生成回路とを設けたことを特徴とする。

【0032】請求項3の場合には、同期用信号を差動符号化で用いるスタートシンボル(SS)とする。このような場合には、OFDM信号に含まれる各サブキャリアに変調信号が必要になる。従って、位相演算手段によって位相が変更された信号は、そのままではスタートシンボルとして利用できない。そこで、請求項3の第1直列並列変換手段は、前記位相演算手段により位相変化を受けた領域を含む1つのOFDM信号についてのみ直列並列変換を行う。また、第1離散フーリエ変換手段は前記第1直列並列変換手段が出力する時間領域の信号を離散フーリエ変換して周波数領域の信号を生成する。



【0033】更に、ヌル点挿入手段は、前記第1離散フーリエ変換手段が出力する信号の使用されない不要なサブキャリアの成分についてヌル点を挿入する。信号点マッピング手段は、前記ヌル点挿入手段が出力する信号を、前記変調手段に応じて定まる位相空間の複数の領域をそれぞれ代表する複数の信号点のいずれかの点に近似して配置する。

【0034】例えば、差動符号化としてDQPSK変調を実施する場合には、信号点マッピング手段は、図6に示すように4つに分割された位相平面のそれぞれを代表する4つの基準信号点(出力信号点)R1, R2, R3, R4のうち、入力信号の点に最も近い、いずれか1つの基準信号点に近似して再配置した結果を出力する。記憶手段は、前記信号点マッピング手段の出力信号を周波数領域でのスタートシンボルとして記憶する。第1逆離散フーリエ変換手段は、前記信号点マッピング手段が出力する周波数領域の信号を逆離散フーリエ変換して時間領域の信号を生成する。

【0035】第1並列直列変換手段は、前記第1逆離散フーリエ変換手段の出力信号を並列直列変換する。出力信号制御手段は、前記第1並列直列変換手段から出力される信号を、1つのOFDM信号の長さに相当する離散フーリエ変換の1周期の時間の2倍の長さの時間に渡って出力する。プリアンプル生成回路は、前記繰り返し出力手段の出力に1番目に出力される1つのOFDM信号に引き続いて、前記出力信号制御手段の出力信号をプリアンプル信号として出力する。

【0036】つまり、請求項3では、図3に示すような手順により時間領域同期用信号から周波数領域スタートシンボル信号が生成される。記憶手段に記憶されたスタートシンボル信号の時間領域への変換は、前記IDFT手段の逆離散フーリエ変換により行われる。この時間領域スタートシンボルの時間波形は、生成過程でのマッピング等の操作により劣化を生じる。しかし、2つの信号間に位相差を持たせる場合の効果と同様に、AGC用プリアンプル信号とスタートシンボルとの相関値Cを抑えることができる。

【0037】請求項4は、入力データに対して直列並列変換処理を行う直列並列変換手段と、前記直列並列変換手段の出力信号に対してスタートシンボルに基づき差動符号化を行う変調手段と、前記変調手段の出力信号に対して逆離散フーリエ変換を行うIDFT手段と、前記IDFT手段の出力信号に対して並列直列変換を行い時間領域信号を出力する並列直列変換手段と、前記並列直列変換手段が出力する時間領域信号に対して信号の繰り返しが生じるガードインターバル区間を付加するガードインターバル付加手段と、予め定められた時間波形のプリアンプル信号を生成するプリアンプル信号生成手段と、前記プリアンプル信号生成手段が出力するプリアンプル信号に続くように前記並列直列変換手段の出力信号を出

力する出力切替手段とを備えるOFDM用変調回路において、前記プリアンプル信号生成手段に、予め定められた前記スタートシンボルを逆離散フーリエ変換して得られる、離散フーリエ変換の1周期の時間に相当する1つのOFDM信号を記憶する波形記憶手段と、前記スタートシンボルに対応する離散フーリエ変換の1周期の長さの1つのOFDM信号に対してほぼ180度の位相変化を与える位相演算手段と、前記位相演算手段の出力信号に対して直列並列変換を行う第1直列並列変換手段と、前記第1直列並列変換手段の出力信号を離散フーリエ変換変換する第1離散フーリエ変換変換手段と、前記第1離散フーリエ変換変換手段が出力する信号の使用されないサブキャリアの成分についてヌル点を挿入するヌル点挿入手段と、前記ヌル点挿入手段が出力する信号を、前記変調手段に応じて定まる位相空間の複数の領域をそれぞれ代表する複数の信号点のいずれかの点に近似して配置する信号点マッピング手段と、前記信号点マッピング手段の出力信号を逆離散フーリエ変換する第1逆離散フーリエ変換手段と、前記第1逆離散フーリエ変換手段の出力信号を並列直列変換する第1並列直列変換手段と、前記波形記憶手段から出力される信号を、離散フーリエ変換の2周期の時間に渡って2回繰り返して出力する出力信号制御手段と、前記第1並列直列変換手段の出力信号に、引き続いて前記出力信号制御手段の出力信号をプリアンプル信号として出力するプリアンプル生成回路とを設けたことを特徴とする。

【0038】請求項4では、波形記憶手段が、予め定められたスタートシンボルを逆離散フーリエ変換して得られる離散フーリエ変換の1周期の時間に相当する1つのOFDM信号を記憶する。位相演算手段は、前記スタートシンボルに対応する離散フーリエ変換の1周期の長さの1つのOFDM信号に対してほぼ180度の位相変化を与える。

【0039】第1直列並列変換手段は、前記位相演算手段の出力信号に対して直列並列変換を行う。第1離散フーリエ変換変換手段は、前記第1直列並列変換手段が出力する時間領域の信号を離散フーリエ変換変換して周波数領域の信号を生成する。ヌル点挿入手段は、前記第1離散フーリエ変換変換手段が出力する信号の使用されないサブキャリアの成分についてヌル点を挿入する。信号点マッピング手段は、前記ヌル点挿入手段が出力する信号を、前記変調手段に応じて定まる位相空間の複数の領域をそれぞれ代表する複数の信号点のいずれかの点に近似して配置する。

【0040】第1逆離散フーリエ変換手段は、前記信号点マッピング手段の出力信号を逆離散フーリエ変換して時間領域の信号を生成する。第1並列直列変換手段は、前記第1逆離散フーリエ変換手段の出力信号を並列直列変換する。

【0041】出力信号制御手段は、前記波形記憶手段か

ら出力される信号を、離散フーリエ変換の2周期の時間に渡って2回繰り返して出力する。プリアンプル生成回路は、前記第1並列直列変換手段の出力信号に引き続いて前記出力信号制御手段の出力信号をプリアンプル信号として出力する。つまり、請求項4では、図4に示すように時間領域AGCプリアンプル信号から周波数領域AGCプリアンプル信号が生成される。

【0042】波形記憶手段としては、時間領域AGC用プリアンプル信号を予め記憶させたROM等を用いても実現可能である。以上、述べた通り請求項1～請求項4のいずれにおいても、AGCプリアンプル信号及び／又は同期用信号の位相回転演算を行うことにより相関値波形を鋭くできるので、BER特性が改善され、シンボルタイミング検出を高速にできる。また、相関値波形が鋭くなるため、前記参考文献に示された複雑なアルゴリズムをピーク検出に必要とせず、しきい値のみによる判定でシンボルタイミング検出が可能になる。

【0043】

【発明の実施の形態】(第1の実施の形態)本発明を実施するOFDM用変調回路の構成を図5に示す。この形態は、請求項1及び請求項2に対応する。この形態では、請求項2の直列並列変換手段、変調手段、IDFT手段、並列直列変換手段、ガードインターバル付加手段、プリアンプル信号生成手段、出力切替手段、繰り返し出力手段及び位相演算手段は、それぞれS/P変換回路101、QPSK変調回路102、IDFT回路103、P/S変換回路104、GI付加回路105、プリアンプル信号生成手段100、切替回路111、繰り返し出力回路108、位相演算回路110に対応する。

【0044】この形態では、生成するOFDM信号に含まれるサブキャリア数が48の例を示す。図5のOFDM用変調回路に入力される直列の入力信号a101は、S/P変換回路101にてシリアル/パラレル変換され、サブキャリア数と対応する48組の並列信号a102として出力される。48組の並列信号a102は、それぞれQPSK変調回路102でQPSK変調される。QPSK変調回路102から出力される48組の変調された並列信号a103は、各々、同相成分(Ich)と直交成分(Qch)とで構成される複素数の信号であり、それぞれIDFT回路103に入力される。

【0045】IDFT回路103に入力される信号a103はサブキャリア毎の周波数領域の信号である。IDFT回路103は、この信号a103を離散フーリエ変換して、時間領域の信号a104を生成する。この例では、IDFT回路103が64ポイントの離散フーリエ変換を実施するので、IDFT回路103が出力する信号a104は64組である。

【0046】P/S変換回路104は、IDFT回路103が出力する64組の信号a104のパラレル/シリアル変換を実施して、予め定めた順序で信号を時系列に

並べる。GI付加回路105は、OFDM信号にガードインターバル(繰り返し信号区間)を付加するための制御をP/S変換回路104に対して実施する。従って、P/S変換回路104から出力される信号a106には所定のガードインターバルが含まれる。ガードインターバル量はGI付加回路105で設定される。

【0047】一方、プリアンプル信号生成手段100においては、予め定めた周波数領域の固定パターン信号a107がS/P変換回路106に印加される。この固定パターン信号a107は、1つのOFDMシンボル(プリアンプル)の生成に必要な長さ(48)の直列信号である。S/P変換回路106は、入力される固定パターン信号a107を直列/並列変換し、サブキャリア数に対応する48組の並列信号a108として出力する。IDFT回路107は、逆離散フーリエ変換を実施して入力される周波数領域の48組の並列信号a108を時間領域の信号a109に変換する。

【0048】この例では、IDFT回路107のポイント数が64なので、それが出力する信号a109は64組の並列信号である。繰り返し出力回路108は、並列/直列変換を実施して、IDFT回路107から出力される64組の並列信号を直列信号に変換すると共に、その信号をOFDMシンボル周期の3倍の時間に渡って繰り返して出力する。

【0049】つまり、繰り返し出力回路108から出力される信号a110は、3つのOFDMシンボルに対応しており、具体的には図1に示す先頭のAGC用プリアンプル信号、2番目の同期用信号及び3番目の同期用信号に相当する。カウンタ回路109は、前述の第(2)式の演算を実施するタイミングを検出するために、周期が一定のクロック信号a111を計数する。カウンタ回路109の計数値が設定値に達すると、カウンタ回路109が信号a112を出力し、この信号a112によって位相演算回路110の演算処理が開始される。

【0050】位相演算回路110は、信号a110に対して第(2)式の演算を実施する。つまり、AGC用プリアンプル信号Sync.A(i)に基づいて同期用信号Sync.B(i)を生成し、同期用信号Sync.B(i)の後半半分(i=32～63)については、AGC用プリアンプル信号Sync.A(i)に対して180度の位相差が形成される。実際には、同一の固定パターン信号a107に基づいて1つのAGC用プリアンプル信号Sync.A(i)と2つの同期用信号Sync.B(i)とを生成しているので、位相演算回路110は、連続的に現れる3シンボルの信号のうち、2番目及び3番目のシンボルの後半半分の領域についてのみ、180度の位相回転を行う。その結果が信号a113として出力される。

【0051】切替回路111は、カウンタ回路109が出力する信号a112に基づいて、信号の切替制御を実施し、3シンボルの時間領域プリアンプル信号(a11

3) の出力に引き続いて、ガードインターバルの付加された時間領域信号 a 1 0 6 を出力するように切り替わる。

【0052】但し、位相演算回路 1 1 0 における信号 a 1 1 2 の制御のタイミングと切替回路 1 1 1 における信号 a 1 1 2 のタイミングとは互いに異なる。切替回路 1 1 1 が順次出力する信号 a 1 1 4 が OFDM 送信信号であり、この信号には図 1 に示すような AGC 用プリアンブル信号及び 2 つの同期用信号に続いて変調されたデータの信号が現れる。

【0053】なお、プリアンブルの波形を予め ROM (読み出し専用メモリ) に記憶しておき、そのデータを読み出して波形を生成することもできる。また、図 5 に示す 2 つの S/P 変換回路 1 0 1 及び 1 0 6 のいずれか一方を入力信号 a 1 0 1 の処理と固定パターン信号 a 1 0 7 の処理に共通に利用すれば、他方の回路は省略できる。同様に、2 つの IDFT 回路 1 0 3 及び 1 0 7 のいずれか一方を入力信号 a 1 0 1 の処理と固定パターン信号 a 1 0 7 の処理に共通に利用して他方の回路を省略することも可能である。

【0054】(第 2 の実施の形態) この形態は第 1 の実施の形態の変形例であり、位相演算回路 1 1 0 の動作を次のように変更する以外は図 5 に示した OFDM 用変調回路と同一である。すなわち、第 1 の実施の形態では前述の第 (2) 式に基づいて信号の位相の回転を実施しているが、この形態では前述の第 (3) 式に基づいて信号の位相の回転を実施する。

【0055】この形態では、図 5 の位相演算回路 1 1 0 は、信号 a 1 1 0 に対して第 (3) 式の演算を実施するので、同期用信号 Sync. B(i) に基づいて AGC 用プリアンブル信号 Sync. A(i) を生成し、AGC 用プリアンブル信号 Sync. A(i) の後半半分 ( $i=32\sim63$ ) については、同期用信号 Sync. B(i) に対して 180 度の位相差が形成される。実際には、同一の固定パターン信号 a 1 0 7 に基づいて 1 つの AGC 用プリアンブル信号 Sync. A(i) と 2 つの同期用信号 Sync. B(i) とを生成しているので、位相演算回路 1 1 0 は、連続的に現れる 3 シンボルの信号のうち、最初のシンボルの後半半分の領域についてのみ、180 度の位相回転を行う。その結果が信号 a 1 1 3 として出力される。

【0056】(第 3 の実施の形態) この形態の OFDM 用変調回路の構成を図 7 に示す。この形態は請求項 3 に対応する。この形態では、請求項 3 の直列並列変換手段、変調手段、IDFT 手段、並列直列変換手段、ガードインターバル付加手段、プリアンブル信号生成手段、出力切替手段、繰り返し出力手段、位相演算手段、第 1 直列並列変換手段、第 1 離散フーリエ変換手段、ヌル点挿入手段、信号点マッピング手段、記憶手段、第 1 逆離散フーリエ変換手段、第 1 並列直列変換手段、出力信号制御手段及びプリアンブル生成回路は、それぞれ S/P

変換回路 4 0 1、DQPSK 変調回路 4 0 2、IDFT 回路 4 0 3、P/S 変換回路 4 0 4、GI 付加回路 4 0 5、プリアンブル信号生成手段 4 0 0、切替回路 4 2 2、繰り返し出力回路 4 0 9、位相演算回路 4 1 1、S/P 変換回路 4 1 2、DFT 回路 4 1 3、ヌル信号挿入回路 4 1 4、信号点マッピング回路 4 1 5、スタートシンボル記憶回路 4 1 7、IDFT 回路 4 1 8、P/S 変換回路 4 1 9、出力制御回路 4 2 0、プリアンブル生成回路 4 2 1 に対応する。

【0057】この形態では、サブキャリアの変調に差動符号化変調方式を採用している。また、サブキャリア数は 48 である。図 7 の OFDM 用変調回路に入力される直列の入力信号 a 4 0 1 は、S/P 変換回路 4 0 1 にてシリアル/パラレル変換され、サブキャリア数に対応する 48 組の並列信号 a 4 0 2 として出力される。48 組の並列信号 a 4 0 2 は、それぞれ DQPSK 変調回路 4 0 2 に入力され、スタートシンボル記憶回路 4 1 7 に記憶されているスタートシンボル a 4 2 3 に基づき DQPSK 変調される。

【0058】DQPSK 変調回路 4 0 2 から出力される 48 組の変調された並列信号 a 4 0 3 は、各々、同相成分 (I ch) と直交成分 (Q ch) とで構成される複素数の信号であり、それぞれ IDFT 回路 4 0 3 に入力される。IDFT 回路 4 0 3 は、逆離散フーリエ変換を実施して、入力される周波数領域の信号 a 4 0 3 を時間領域の信号 a 4 0 4 に変換する。IDFT 回路 4 0 3 における逆離散フーリエ変換のポイント数は 64 なので、IDFT 回路 4 0 3 からは 64 組の信号 a 4 0 4 が並列信号として出力される。

【0059】P/S 変換回路 4 0 4 は、並列/直列変換を実施して 64 組の並列信号 a 4 0 4 から直列の信号 a 4 0 6 を生成する。また、GI 付加回路 4 0 5 の出力する制御信号 a 4 0 5 に従って、P/S 変換回路 4 0 4 は信号 a 4 0 6 にガードインターバルを付加する。一方、プリアンブル信号生成手段 4 0 0 においては、予め定めた周波数領域の固定パターン信号 a 4 0 7 が S/P 変換回路 4 0 7 に入力される。固定パターン信号 a 4 0 7 は、48 サブキャリアの信号に対応する長さの直列信号である。

【0060】S/P 変換回路 4 0 7 は、直列/並列変換を行い、サブキャリア数に対応する 48 組の並列信号 a 4 0 8 を出力する。IDFT 回路 4 0 8 は、逆離散フーリエ変換を行って周波数領域の信号 a 4 0 8 から時間領域の信号 a 4 0 9 を生成する。IDFT 回路 4 0 8 の逆離散フーリエ変換のポイント数は 64 であり、IDFT 回路 4 0 8 から出力される信号 a 4 0 9 は 64 組の並列信号である。

【0061】繰り返し出力回路 4 0 9 は、並列に入力される信号 a 4 0 9 を直列の信号に変換して出力すると共に、2 OFDM シンボルに渡って同じ信号 a 4 1 0 を繰

り返し出力する。カウンタ回路410は、制御のタイミングを決定するために、周期が一定のクロック信号a422を計数する。カウンタ回路410の計数値が所定値に達すると、信号a411が位相演算回路411に印加される。信号a411をトリガとして、位相演算回路411は前述の第(2)式の演算を開始する。その演算の結果が信号a412として出力される。

【0062】この信号a412は、時間領域でのAGC用プリアンブル信号と同期用信号に対応する。最初のOFDM信号のタイミングで出力される信号a412は、そのままAGC用プリアンブル信号としてプリアンブル生成回路421から出力される。一方、信号a412として2番目のOFDM信号のタイミングで位相演算回路411から出力される信号には、S/P変換回路412に入力される。S/P変換回路412は、直列/並列変換を実施して、並列信号a413を出力する。

【0063】DFT回路413は、時間領域の並列信号a413を離散フーリエ変換して、周波数領域の信号a414を出力する。この例では、DFT回路413の離散フーリエ変換のポイント数が64なので、それに入力される信号a413及び出力の信号a414は64組の並列信号である。ヌル信号挿入回路414は、使用しないサブキャリアの信号をヌル点信号に置き換える。この例では、DFT回路413のポイント数が64であり、OFDM信号のサブキャリア数が48なので、利用されない残りの16サブキャリアにはヌル信号挿入回路414でヌル信号が入力される。

【0064】つまり、利用されないサブキャリアの信号成分については、信号値を強制的にヌルに変更する。実際のヌルは、同相成分及び直交成分が共に0の信号(0,j0)である。信号点マッピング回路415は、入力される信号a415の値を、サブキャリアの変調形式に対応した信号点にマッピングする。

【0065】例えばQPSK変調を用いる場合には、信号の点を図6に示す位相空間の4つの点R1~R4のいずれかの位置に配置する必要がある。従って、信号点マッピング回路415は入力信号の値を、例えば図6に示す出力信号点R1~R4のうち、入力される信号の点に最も近い点の値に置き換える。

【0066】P/S変換回路416は、信号点マッピング回路415が出力する信号a416を並列/直列変換し、変換後の信号a424をスタートシンボル記憶回路417に印加する。この信号a424は、スタートシンボルの信号としてスタートシンボル記憶回路417に記憶される。また、信号点マッピング回路415が出力する信号a416は、IDFT回路418に入力される。IDFT回路418は、逆離散フーリエ変換を実施して、入力される周波数領域の信号a416から時間領域の信号a417を生成する。この信号a417は、P/S変換回路419で並列/直列変換され、直列の信号a

418として出力制御回路420に入力される。

【0067】出力制御回路420は、入力される同一の信号a418をOFDM信号の2シンボルの期間に渡って2回繰り返し出力するように制御する。プリアンブル生成回路421は、位相演算回路411から1回目に出される信号a412を、そのまま信号a420として出力し、それに続いて出力制御回路420から出力される信号a419を信号a420として出力する。

【0068】信号a420は、切替回路422を介してプリアンブル信号として出力される。切替回路422は、プリアンブル信号生成手段400から出力されるプリアンブル信号(a420)を先に出力し、それに引き続いてP/S変換回路404からの信号a406を順次送出する。この形態のプリアンブル信号生成手段400における信号生成の手順を簡略化して説明すると、図3のようになる。

【0069】なお、プリアンブルの波形を予めROM(読み出し専用メモリ)に記憶しておき、そのデータを読み出して波形を生成することもできる。また、図7に示すOFDM用変調回路において、入力信号a401を処理するS/P変換回路401、IDFT回路403と、プリアンブル信号生成手段400のS/P変換回路407、IDFT回路408等の回路とを共通化すれば回路構成を簡略化できる。

【0070】(第4の実施の形態)この形態のOFDM用変調回路の構成を図8に示す。この形態は請求項4に対応する。この形態では、請求項4の直列並列変換手段、変調手段、IDFT手段、並列直列変換手段、ガードインターバル付加手段、プリアンブル信号生成手段、出力切替手段、波形記憶手段、位相演算手段、第1直列並列変換手段、第1離散フーリエ変換手段、ヌル点挿入手段、信号点マッピング手段、第1逆離散フーリエ変換手段、第1並列直列変換手段、出力信号制御手段及びプリアンブル生成回路は、それぞれS/P変換回路501、DQPSK変調回路502、IDFT回路503、P/S変換回路504、GI付加回路505、プリアンブル信号生成手段500、切替回路523、波形記憶回路520、位相演算回路511、S/P変換回路512、DFT回路513、ヌル信号挿入回路514、信号点マッピング回路515、IDFT回路518、P/S変換回路519、出力制御回路521及びプリアンブル生成回路522に対応する。

【0071】この形態では、サブキャリアの変調に差動符号化変調方式を採用している。また、サブキャリア数は48である。図8のOFDM用変調回路に入力される直列の入力信号a501は、S/P変換回路501にてシリアル/パラレル変換され、サブキャリア数と対応する48組の並列信号a502として出力される。DQPSK変調回路502では、S/P変換回路が出力する信号a502に対して、スタートシンボル記憶回路517

に予め記憶されているスタートシンボル a 5 2 3 に基づき DQPSK 変調が行われる。

【0072】DQPSK 変調回路 5 0 2 から出力される 48 組の変調された並列信号 a 5 0 3 は、各々、同相成分 (I ch) と直交成分 (Q ch) とで構成される複素数の信号であり、それぞれ IDFT 回路 5 0 3 に入力される。IDFT 回路 5 0 3 は、逆離散フーリエ変換を実施して、入力される周波数領域の信号 a 5 0 3 を時間領域の信号 a 5 0 4 に変換する。IDFT 回路 5 0 3 における逆離散フーリエ変換のポイント数は 64 なので、IDFT 回路 5 0 3 からは 64 組の信号 a 5 0 4 が並列信号として出力される。

【0073】P/S 変換回路 5 0 4 は、並列/直列変換を実施して 64 組の並列信号 a 5 0 4 から直列の信号 a 5 0 6 を生成する。また、GI 付加回路 5 0 5 の出力する制御信号 a 5 0 5 に従って、P/S 変換回路 5 0 4 は信号 a 5 0 6 にガードインターバルを付加する。一方、プリアンプル信号生成手段 5 0 0 においては、スタートシンボル記憶回路 5 1 7 に記憶されたスタートシンボルの信号 a 5 2 3 が S/P 変換回路 5 0 7 に入力される。S/P 変換回路 5 0 7 は直列/並列変換を実施して並列の信号 a 5 0 8 を出力する。

【0074】IDFT 回路 5 0 8 は、入力される周波数領域の信号 a 5 0 8 を逆離散フーリエ変換して、時間領域の信号 a 5 0 9 を生成する。P/S 変換回路 5 0 9 は、並列/直列変換を実施して、入力される並列の信号 a 5 0 9 から直列の信号 a 5 1 0 を生成する。信号 a 5 1 0 はプリアンプルの時間波形である。この信号 a 5 1 0 は、位相演算回路 5 1 1 及び波形記憶回路 5 2 0 に印加される。波形記憶回路 5 2 0 が出力する信号 a 5 1 9 は、出力制御回路 5 2 1 を通り、信号 a 5 2 0 としてプリアンプル生成回路 5 2 2 に印加される。出力制御回路 5 2 1 は、2 つの同期用信号を生成するために、同一の信号 a 5 2 0 を OFDM 信号の 2 シンボルに渡って 2 回繰り返し出力する。

【0075】カウンタ回路 5 1 0 は、制御のタイミングを決定するために周期が一定のクロック信号 a 5 2 4 を計数する。カウンタ回路 5 1 0 の計数値が所定値に達すると、信号 a 5 1 1 が出力される。この信号 a 5 1 1 をトリガとして、位相演算回路 5 1 1 の位相回転演算が開始される。位相演算回路 5 1 1 は、信号 a 5 1 0 を入力して前述の第 (3) 式の演算に対応する処理を行う。その結果が信号 a 5 1 2 として出力される。信号 a 5 1 2 は、図 2 に示される時間領域の AGC 用プリアンプル信号に相当する。

【0076】S/P 変換回路 5 1 2 は、直列/並列変換を実施し、入力される直列の信号 a 5 1 2 から並列の信号 a 5 1 3 を生成する。DFT 回路 5 1 3 は、時間領域の並列信号 a 5 1 3 を離散フーリエ変換して、周波数領域の信号 a 5 1 4 を出力する。この例では、DFT 回路

5 1 3 の離散フーリエ変換のポイント数が 64 なので、それに入力される信号 a 5 1 3 及び出力の信号 a 5 1 4 は 64 組の並列信号である。

【0077】ヌル信号挿入回路 5 1 4 は、使用しないサブキャリアの信号をヌル点信号に置き換える。この例では、DFT 回路 5 1 3 のポイント数が 64 であり、OFDM 信号のサブキャリア数が 48 なので、利用されない残りの 16 サブキャリアにはヌル信号挿入回路 5 1 4 でヌル信号が入力される。つまり、利用されないサブキャリアの信号成分については、信号値を強制的にヌルに変更する。実際のヌルは、同相成分及び直交成分が共に 0 の信号 (0, j0) である。

【0078】信号点マッピング回路 5 1 5 は、入力される信号 a 5 1 5 の値を、サブキャリアの変調形式に対応した信号点にマッピングする。例えば QPSK 変調を用いる場合には、信号の点を図 6 に示す位相空間の 4 つの点 R1 ~ R4 のいずれかの位置に配置する必要がある。従って、信号点マッピング回路 5 1 5 は入力信号の値を、例えば図 6 に示す出力信号点 R1 ~ R4 のうち、入力される信号の点に最も近い点の値に置き換える。

【0079】信号点マッピング回路 5 1 5 が出力する信号 a 5 1 6 は、IDFT 回路 5 1 8 に入力される。IDFT 回路 5 1 8 は、逆離散フーリエ変換を実施して、入力される周波数領域の信号 a 5 1 6 から時間領域の信号 a 5 1 7 を生成する。この信号 a 5 1 7 は、P/S 変換回路 5 1 9 で並列/直列変換され、直列の信号 a 5 1 8 としてプリアンプル生成回路 5 2 2 に入力される。

【0080】プリアンプル生成回路 5 2 2 では、出力制御回路 5 2 1 からの信号 a 5 2 0 を信号 a 5 2 1 として出力した後、引き続いて P/S 変換回路 5 1 9 からの信号 a 5 1 8 を信号 a 5 2 1 として出力する。切替回路 5 2 3 は、カウンタ回路 5 1 0 から出力される信号 a 5 1 1 のタイミングに従って、まずプリアンプル生成回路 5 2 2 からの信号 a 5 2 1 を信号 a 5 2 2 として出力し、引き続いて P/S 変換回路 5 0 4 からの信号 a 5 0 6 を信号 a 5 2 2 として出力する。

【0081】この形態のプリアンプル信号生成手段 5 0 0 における信号生成手順の概略が、図 4 に示されている。なお、図 8 に示す OFDM 用変調回路において、入力信号 a 5 0 1 を処理する S/P 変換回路 5 0 1、IDFT 回路 5 0 3 と、プリアンプル信号生成手段 5 0 0 の S/P 変換回路 5 0 7、IDFT 回路 5 0 8 等の回路とを共通化すれば全体の回路構成を簡略化できる。

【0082】前記第 3 の実施の形態の OFDM 用変調回路について計算機シミュレーションを実施した。その結果が図 9 に示されている。このシミュレーションにおいては、サブキャリアの変調方式は DQPSK とした。また、このシミュレーションではキャリア周波数誤差 50 kHz、Eb/N0 (1 ビット当たりの信号エネルギー対単位周波数あたりのエネルギー密度) = 4.0 dB、2

4波のレイリーフェージング環境下(遅延スプレッド(r. m. s.) 100ns)を想定した。

【0083】また、復調回路として前記文献と同じ復調回路を用いる場合を想定した。シンボルタイミングの検出についても前記文献のアルゴリズムを用いた。このアルゴリズムでは、同期用信号の相関値のピーク検出を行う。ピーク検出に必要なサンプルポイント数とビット誤り率(BER)との関係が図9に示されている。更に、従来例、本発明共にAGC用プリアンプ信号として、ピーク振幅を低く抑えられるコンプリメンタリコード(符号長48)を逆離散フーリエ変換した信号を用いた。従来例の同期用信号にはAGC用プリアンプ信号と異なるコンプリメンタリコード(符号長48)に基づいた信号を用いた。

【0084】図9を参照すると、本発明の構成では、相関値について考慮しない従来構成と比較してBERで約35%の改善が得られている。また、本発明では相関値のピークが鋭く立ち上がるため、しきい値を越えた時点(ピーク検出に必要なポイント数=0)でシンボル検出を行っても劣化が少なく、従来例より16サンプルポイント時間高速にシンボルタイミング検出が可能になる。

【0085】従って、本発明によりAGC用プリアンプ信号を考慮した場合にもBERの劣化を抑えることが可能になり、かつ高速にシンボルタイミング検出を実現できる。

【0086】

【発明の効果】以上述べた通り、本発明のOFDM用プリアンプ生成方法及びOFDM用変調回路によれば、AGC用プリアンプ信号を考慮した場合にもBERの劣化がなく、かつ高速にシンボルタイミング検出が可能になる。

【図面の簡単な説明】

【図1】第1の実施の形態で生成したOFDM信号の相関値を示すタイムチャートである。

【図2】第2の実施の形態で生成したOFDM信号の相関値を示すタイムチャートである。

【図3】第3の実施の形態の信号生成手順を示すフローチャートである。

【図4】第4の実施の形態の信号生成手順を示すフローチャートである。

【図5】第1の実施の形態のOFDM用変調回路のブロック図である。

【図6】信号点マッピングの入力信号点と出力信号点を示す位相空間図である。

【図7】第3の実施の形態のOFDM用変調回路のブロック図である。

【図8】第4の実施の形態のOFDM用変調回路のブロック図である。

【図9】シミュレーションの結果を示すグラフである。

【図10】OFDM復調回路の構成例を示すブロック図である。

【図11】従来例のOFDM変調回路を示すブロック図である。

【図12】従来例のOFDM信号フォーマットを示すタイムチャートである。

【符号の説明】

- 1 直列並列変換回路
- 2 DQPSK変調回路
- 3 IDFT回路
- 4 並列直列変換回路
- 5 読み出し順序記憶回路
- 6 D/A変換回路
- 100 プリアンプ信号生成手段
- 101 S/P変換回路
- 102 QPSK変調回路
- 103 IDFT回路
- 104 P/S変換回路
- 105 GI付加回路
- 106 S/P変換回路
- 107 IDFT回路
- 108 繰り返し出力回路
- 109 カウンタ回路
- 110 位相演算回路
- 111 切替回路
- 301 Tw遅延回路
- 302 共役複素信号生成回路
- 303 乗算回路
- 304, 307 移動平均フィルタ
- 305, 306 自乗演算回路
- 308 自乗回路
- 309 ピーク検出回路
- 310 DFTウィンドウタイミング制御回路
- 311 逆正接回路
- 312 分周回路
- 313 共役複素信号生成回路
- 314 サンプルホールド回路
- 315 Tw遅延回路
- 316 遅延回路
- 317 乗算回路
- 318 直列並列変換回路
- 319 DFT回路
- 320 遅延検波回路
- 321 並列直列変換回路
- 400, 500 プリアンプ信号生成手段
- 401, 407, 412, 501, 507, 512 S/P変換回路
- 402, 502 DQPSK変調回路
- 403, 408, 418, 503, 508, 518 IDFT回路



404, 416, 419, 504, 509, 519 P  
 /S変換回路  
 405, 505 GI付加回路  
 409 繰り返し出力回路  
 410, 510 カウンタ回路  
 411, 511 位相演算回路  
 413, 513 DFT回路

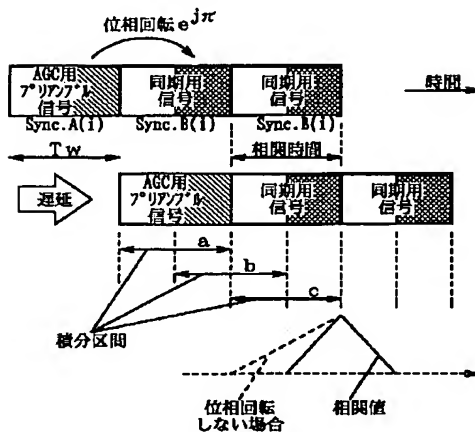
414, 514 マル信号挿入回路  
 415, 515 信号点マッピング回路  
 417, 517 スタートシンボル記憶回路  
 420, 521 出力制御回路  
 421, 522 プリアンプル生成回路  
 422, 523 切替回路  
 520 波形記憶回路

【図1】

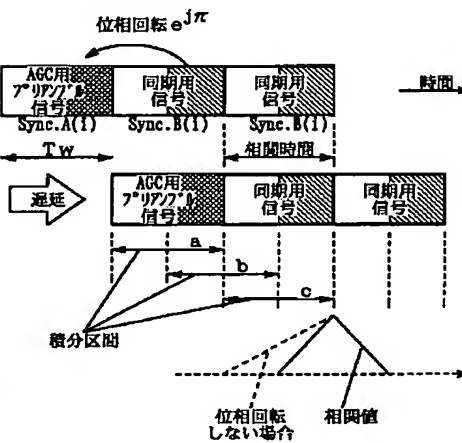
【図2】

【図3】

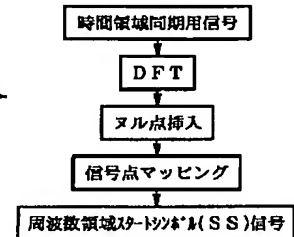
第1の実施の形態で生成したOFDM信号の相関値



第2の実施の形態で生成したOFDM信号の相関値



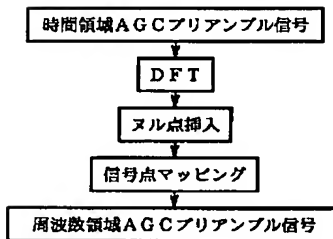
第3の実施の形態の信号生成手順



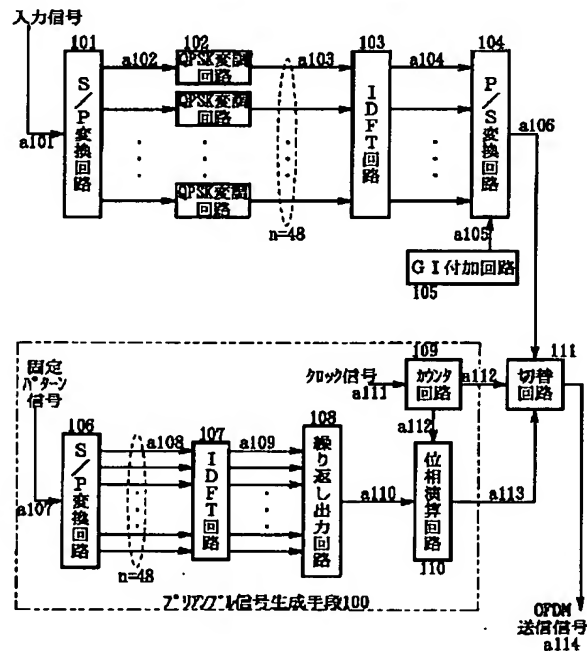
【図4】

【図5】

第4の実施の形態の信号生成手順



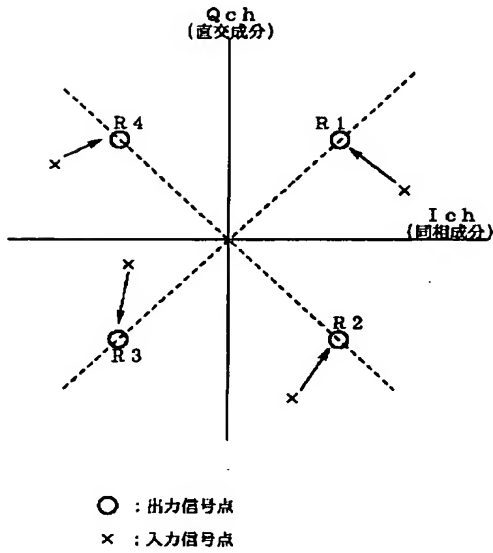
第1の実施の形態のOFDM用変調回路





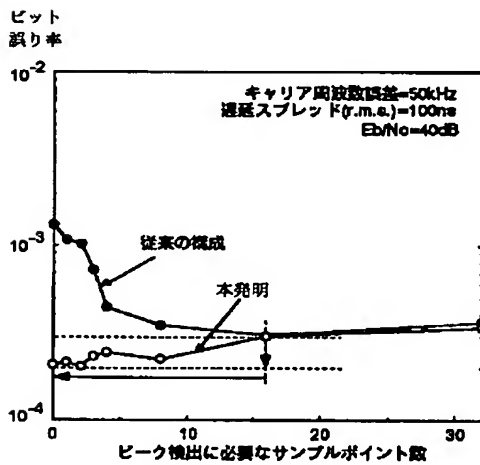
【図6】

信号点マッピングの入力信号点と出力信号点



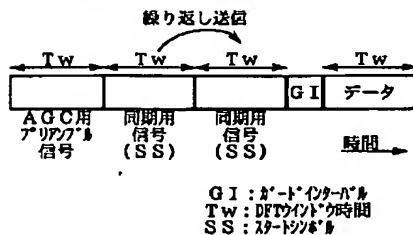
【図9】

シミュレーションの結果



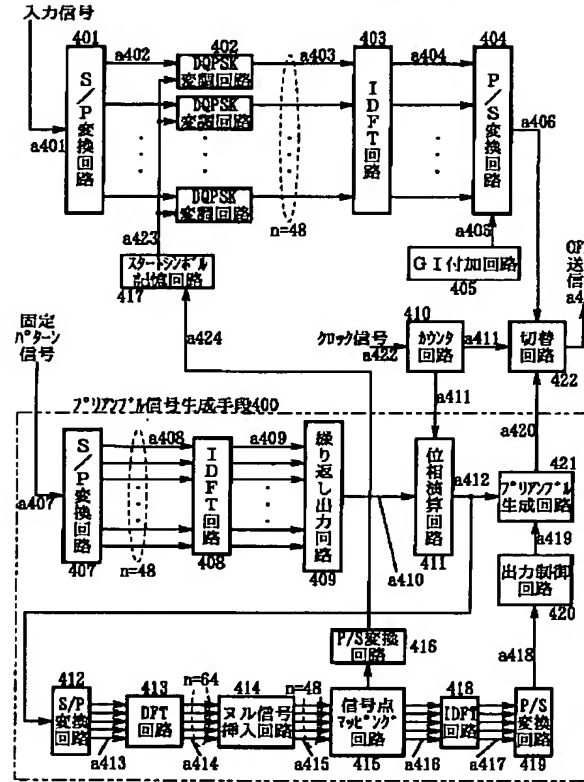
【図12】

従来例のOFDM信号フォーマット



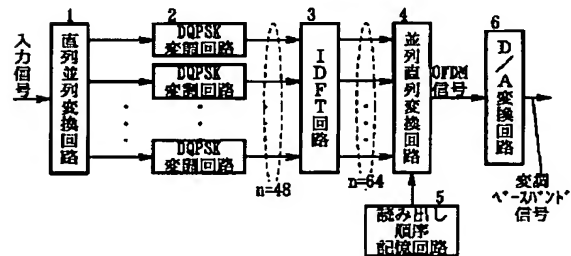
【図7】

第3の実施の形態のOFDM用変調回路

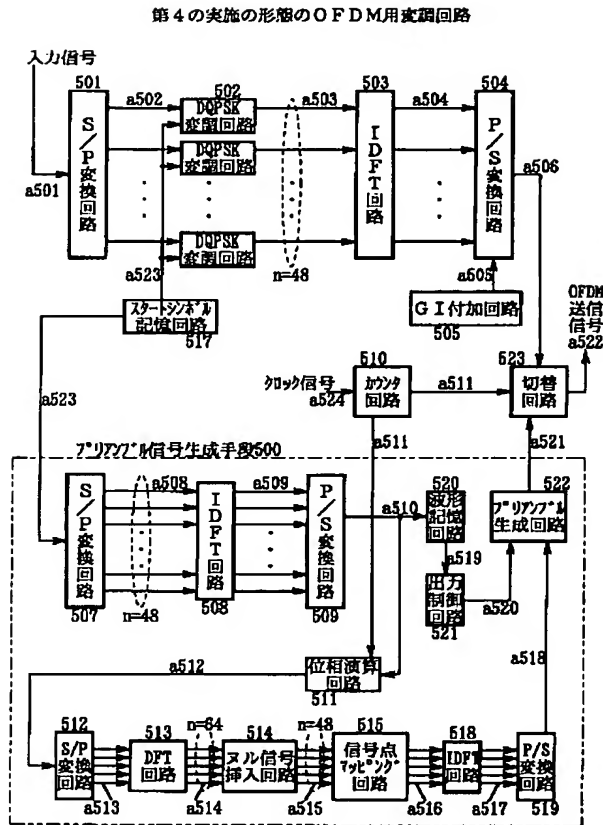


【図11】

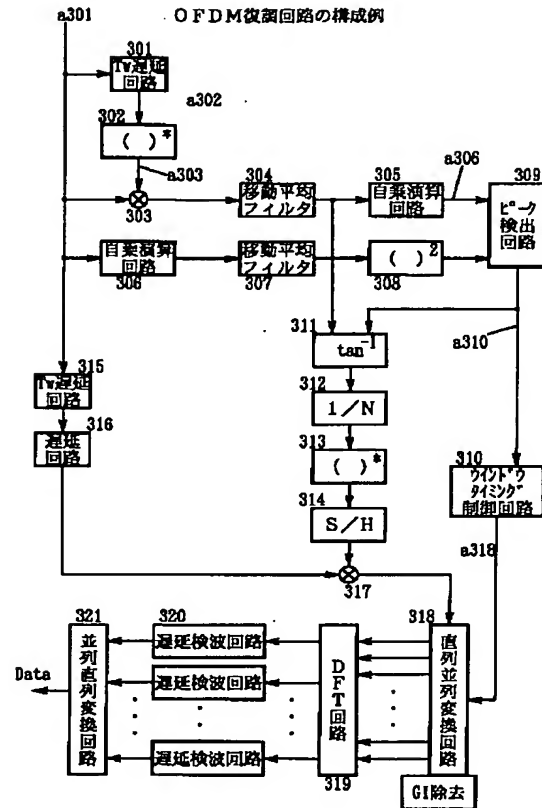
従来例のOFDM用変調回路



【図8】



【図10】



## 【手続補正書】

【提出日】平成11年7月12日（1999. 7. 12）

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】請求項3

【補正方法】変更

## 【補正内容】

【請求項3】 入力データに対して直列並列変換処理を行う直列並列変換手段と、前記直列並列変換手段の出力信号に対してスタートシンボルに基づき差動符号化を行う変調手段と、前記変調手段の出力信号に対して逆離散フーリエ変換を行うIDFT手段と、前記IDFT手段の出力信号に対して並列直列変換を行い時間領域信号を出力する並列直列変換手段と、前記並列直列変換手段が出力する時間領域信号に対して信号の繰り返しが生じるガードインターバル区間を付加するガードインターバル付加手段と、予め定められた時間波形のプリアンブル信号を生成するプリアンブル信号生成手段と、前記プリアンブル信号生成手段が出力するプリアンブル信号に続く

ように前記並列直列変換手段の出力信号を出力する出力切替手段とを備えるOFDM用変調回路において、前記プリアンブル信号生成手段に、予め定められた周波数領域の固定パターンに基づいて逆離散フーリエ変換によりOFDM信号を生成すると共に、1つのOFDM信号の長さに相当する離散フーリエ変換の1周期の時間の2倍の長さの時間に渡って前記OFDM信号を繰り返し出力する繰り返し出力手段と、前記繰り返し出力手段から2番目に出力される1つのOFDM信号の後半分の領域についてはほぼ180度の位相変化を与える位相演算手段と、前記位相演算手段により位相変化を受けた領域を含む1つのOFDM信号についてのみ直列並列変換を行う第1直列並列変換手段と、前記第1直列並列変換手段の出力信号を離散フーリエ変換する第1離散フーリエ変換手段と、前記第1離散フーリエ変換手段が出力する信号を入力してその一部分の信号を使用するサブキャリアの成分として出力するヌル点挿入手段と、

前記ヌル点挿入手段が出力する信号を、前記変調手段に応じて定まる位相空間の複数の領域をそれぞれ代表する複数の信号点のいずれかの点に近似して配置する信号点マッピング手段と、  
 前記信号点マッピング手段の出力信号を前記スタートシンボルとして記憶する記憶手段と、  
 前記信号点マッピング手段の出力信号を逆離散フーリエ変換する第1逆離散フーリエ変換手段と、  
 前記第1逆離散フーリエ変換手段の出力信号を並列直列変換する第1並列直列変換手段と、  
 前記第1並列直列変換手段から出力される信号を、1つのOFDM信号の長さに相当する離散フーリエ変換の1周期の時間の2倍の長さの時間に渡って出力する出力信号制御手段と、  
 前記繰り返し出力手段の出力に1番目に出力される1つのOFDM信号に引き続いて、前記出力信号制御手段の出力信号をプリアンブル信号として出力するプリアンブル生成回路とを設けたことを特徴とするOFDM用変調回路。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】請求項4

【補正方法】変更

【補正内容】

【請求項4】 入力データに対して直列並列変換処理を行う直列並列変換手段と、前記直列並列変換手段の出力信号に対してスタートシンボルに基づき差動符号化を行う変調手段と、前記変調手段の出力信号に対して逆離散フーリエ変換を行うIDFT手段と、前記IDFT手段の出力信号に対して並列直列変換を行い時間領域信号を出力する並列直列変換手段と、前記並列直列変換手段が出力する時間領域信号に対して信号の繰り返しが生じるガードインターバル区間を付加するガードインターバル付加手段と、予め定められた時間波形のプリアンブル信号を生成するプリアンブル信号生成手段と、前記プリアンブル信号生成手段が出力するプリアンブル信号に続くように前記並列直列変換手段の出力信号を出力する出力切替手段とを備えるOFDM用変調回路において、  
 前記プリアンブル信号生成手段に、  
 予め定められた前記スタートシンボルを逆離散フーリエ変換して得られる、離散フーリエ変換の1周期の時間に相当する1つのOFDM信号を記憶する波形記憶手段と、  
 前記スタートシンボルに対応する離散フーリエ変換の1周期の長さの1つのOFDM信号に対してほぼ180度の位相変化を与える位相演算手段と、  
 前記位相演算手段の出力信号に対して直列並列変換を行う第1直列並列変換手段と、  
 前記第1直列並列変換手段の出力信号を離散フーリエ変換する第1離散フーリエ変換手段と、

前記第1離散フーリエ変換手段が出力する信号を入力してその一部分の信号を使用するサブキャリアの成分として出力するヌル点挿入手段と、

前記ヌル点挿入手段が出力する信号を、前記変調手段に応じて定まる位相空間の複数の領域をそれぞれ代表する複数の信号点のいずれかの点に近似して配置する信号点マッピング手段と、

前記信号点マッピング手段の出力信号を逆離散フーリエ変換する第1逆離散フーリエ変換手段と、

前記第1逆離散フーリエ変換手段の出力信号を並列直列変換する第1並列直列変換手段と、

前記波形記憶手段から出力される信号を、離散フーリエ変換の2周期の時間に渡って2回繰り返して出力する出力信号制御手段と、

前記第1並列直列変換手段の出力信号に、引き続いて前記出力信号制御手段の出力信号をプリアンブル信号として出力するプリアンブル生成回路とを設けたことを特徴とするOFDM用変調回路。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0031

【補正方法】変更

【補正内容】

【0031】請求項3は、入力データに対して直列並列変換処理を行う直列並列変換手段と、前記直列並列変換手段の出力信号に対してスタートシンボルに基づき差動符号化を行う変調手段と、前記変調手段の出力信号に対して逆離散フーリエ変換を行うIDFT手段と、前記IDFT手段の出力信号に対して並列直列変換を行い時間領域信号を出力する並列直列変換手段と、前記並列直列変換手段が出力する時間領域信号に対して信号の繰り返しが生じるガードインターバル区間を付加するガードインターバル付加手段と、予め定められた時間波形のプリアンブル信号を生成するプリアンブル信号生成手段と、前記プリアンブル信号生成手段が出力するプリアンブル信号に続くように前記並列直列変換手段の出力信号を出力する出力切替手段とを備えるOFDM用変調回路において、前記プリアンブル信号生成手段に、予め定められた周波数領域の固定パターンに基いて逆離散フーリエ変換によりOFDM信号を生成すると共に、1つのOFDM信号の長さに相当する離散フーリエ変換の1周期の時間の2倍の長さの時間に渡って前記OFDM信号を繰り返し出力する繰り返し出力手段と、前記繰り返し出力手段から2番目に出力される1つのOFDM信号の後半半分の領域についてほぼ180度の位相変化を与える位相演算手段と、前記位相演算手段により位相変化を受けた領域を含む1つのOFDM信号についてのみ直列並列変換を行う第1直列並列変換手段と、前記第1直列並列変換手段の出力信号を離散フーリエ変換する第1離散フーリエ変換手段と、前記第1離散フーリエ変換手段が出力

する信号を入力してその一部分の信号を使用するサブキャリアの成分として出力するヌル点挿入手段と、前記ヌル点挿入手段が出力する信号を、前記変調手段に応じて定まる位相空間の複数の領域をそれぞれ代表する複数の信号点のいずれかの点に近似して配置する信号点マッピング手段と、前記信号点マッピング手段の出力信号を前記スタートシンボルとして記憶する記憶手段と、前記信号点マッピング手段の出力信号を逆離散フーリエ変換する第1逆離散フーリエ変換手段と、前記第1逆離散フーリエ変換手段の出力信号を並列直列変換する第1並列直列変換手段と、前記第1並列直列変換手段から出力される信号を、1つのOFDM信号の長さに相当する離散フーリエ変換の1周期の時間の2倍の長さの時間に渡って出力する出力信号制御手段と、前記繰り返し出力手段の出力に1番目に出力される1つのOFDM信号に引き続いて、前記出力信号制御手段の出力信号をプリアンブル信号として出力するプリアンブル生成回路とを設けたことを特徴とする。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0033

【補正方法】変更

【補正内容】

【0033】更に、ヌル点挿入手段は、前記第1離散フーリエ変換手段が出力する信号を入力してその一部分の信号を使用するサブキャリアの成分として出力する。信号点マッピング手段は、前記ヌル点挿入手段が出力する信号を、前記変調手段に応じて定まる位相空間の複数の領域をそれぞれ代表する複数の信号点のいずれかの点に近似して配置する。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0037

【補正方法】変更

【補正内容】

【0037】請求項4は、入力データに対して直列並列変換処理を行う直列並列変換手段と、前記直列並列変換手段の出力信号に対してスタートシンボルに基づき差動符号化を行う変調手段と、前記変調手段の出力信号に対して逆離散フーリエ変換を行うIDFT手段と、前記IDFT手段の出力信号に対して並列直列変換を行い時間領域信号を出力する並列直列変換手段と、前記並列直列変換手段が出力する時間領域信号に対して信号の繰り返しが生じるガードインターバル区間を付加するガードインターバル付加手段と、予め定められた時間波形のプリアンブル信号を生成するプリアンブル信号生成手段と、前記プリアンブル信号生成手段が出力するプリアンブル信号に続くように前記並列直列変換手段の出力信号を出力する出力切替手段とを備えるOFDM用変調回路において、前記プリアンブル信号生成手段に、予め定められ

た前記スタートシンボルを逆離散フーリエ変換して得られる、離散フーリエ変換の1周期の時間に相当する1つのOFDM信号を記憶する波形記憶手段と、前記スタートシンボルに対応する離散フーリエ変換の1周期の長さの1つのOFDM信号に対してほぼ180度の位相変化を与える位相演算手段と、前記位相演算手段の出力信号に対して直列並列変換を行う第1直列並列変換手段と、前記第1直列並列変換手段の出力信号を離散フーリエ変換変換する第1離散フーリエ変換変換手段と、前記第1離散フーリエ変換変換手段が出力する信号を入力してその一部分の信号を使用するサブキャリアの成分として出力するヌル点挿入手段と、前記ヌル点挿入手段が出力する信号を、前記変調手段に応じて定まる位相空間の複数の領域をそれぞれ代表する複数の信号点のいずれかの点に近似して配置する信号点マッピング手段と、前記信号点マッピング手段の出力信号を逆離散フーリエ変換する第1逆離散フーリエ変換手段と、前記第1逆離散フーリエ変換手段の出力信号を並列直列変換する第1並列直列変換手段と、前記波形記憶手段から出力される信号を、離散フーリエ変換の2周期の時間に渡って2回繰り返し出力する出力信号制御手段と、前記第1並列直列変換手段の出力信号に、引き続いて前記出力信号制御手段の出力信号をプリアンブル信号として出力するプリアンブル生成回路とを設けたことを特徴とする。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0039

【補正方法】変更

【補正内容】

【0039】第1直列並列変換手段は、前記位相演算手段の出力信号に対して直列並列変換を行う。第1離散フーリエ変換変換手段は、前記第1直列並列変換手段が出力する時間領域の信号を離散フーリエ変換変換して周波数領域の信号を生成する。ヌル点挿入手段は、前記第1離散フーリエ変換変換手段が出力する信号を入力してその一部分の信号を使用するサブキャリアの成分として出力する。信号点マッピング手段は、前記ヌル点挿入手段が出力する信号を、前記変調手段に応じて定まる位相空間の複数の領域をそれぞれ代表する複数の信号点のいずれかの点に近似して配置する。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0063

【補正方法】変更

【補正内容】

【0063】DFT回路413は、時間領域の並列信号a413を離散フーリエ変換して、周波数領域の信号a414を出力する。この例では、DFT回路413の離散フーリエ変換のポイント数が64なので、それに与えられる信号a413及び出力の信号a414は64組の

並列信号である。ヌル信号挿入回路414は、DFT回路413が出力する信号a414の中から使用するサブキャリアの信号だけを抽出して出力する。すなわち、この例では図7に示すように、ヌル信号挿入回路414は64組の信号a414を入力して48組の信号a415を出力する。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0064

【補正方法】変更

【補正内容】

【0064】ヌル信号挿入回路414に入力される64組の信号a414のうち16組の信号については利用しない。信号点マッピング回路415は、入力される信号

a415の値を、サブキャリアの変調形式に対応した信号点にマッピングする。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0077

【補正方法】変更

【補正内容】

【0077】ヌル信号挿入回路514は、DFT回路513が出力する信号a514の中から使用するサブキャリアの信号だけを抽出して出力する。すなわち、この例では図8に示すように、ヌル信号挿入回路514は64組の信号a514を入力して48組の信号a515を出力する。

フロントページの続き

(72)発明者 阪田 徹

東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内

(72)発明者 高梨 斉

東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内

(72)発明者 守倉 正博

東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内

Fターム(参考) 5K004 AA05 FA05 FA09 FB01 FB06

FC02 FF04

5K022 DD13 DD17 DD19 DD22 DD23

5K047 AA02 AA11 BB01 HH43 HH53

JJ02 LL04 LL05 MM03 MM59